

EAST Search History

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L2	510	gate adj (insulator insulating) near3 (ferroelectric or high-k sbt pzt)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:34
L3	161	gate adj (insulator insulating) near (ferroelectric or high-k sbt pzt)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:34
L4	161	(ferroelectric or high-k sbt pzt) near gate adj (insulator insulating)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:34
L5	10	4 not 3	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:34
L6	10	3 not 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:35
L8	20	5 or 6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:35
L9	5	8 and @ad<"19971224"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:36

EAST Search History

L13	7	("4902646" "5225704" "5278105" "5281555" "5410161" "5441915" "5441916").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2006/10/03 11:35
L15	6	13 and dummy	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:37
L16	4	13 and dummy with gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:42
L17	1	("5,698,902").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2006/10/03 11:42
L18	5762	(257/295,213,296,E21.664,E27.104).CCLS.	US-PGPUB; USPAT; USOCR	OR	OFF	2006/10/03 11:43
L19	375	18 and dummy	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:45
L20	52	18 and dummy adj gate	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:45
L21	2	20 and @ad<"19971224"	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:47
L22	82	19 and @ad<"19971224"	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:49

EAST Search History

L23	33	22 not dummy adj (cell word adj line)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 11:50
S8	4	JP-09321248-\$ or JP-11251554-\$	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 09:56
S10	2	1996JP-0138082 or 1998JP-0365265	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 10:59
S11	6	"6320214"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:18
S12	2	S11 and (dummy inoperable)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:57
S13	1	("6320214").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2006/10/02 11:18
S14	1	S13 and (dielectric adj constant or ferroelectric)	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:19
S15	5918	(MATSDA-A\$ or NAGANO-Y\$ OR UEMOTO-Y\$ OR FUJII-E\$).IN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:57

EAST Search History

S16	34	S15 and (dummy inoperable)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:57
S17	11	S15 and (dummy inoperable) with (transistor capacitor)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 11:59
S18	6	S15 and (dummy inoperable) with capacitor and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:43
S19	0	S15 and (dummy inoperable) with capacitor not (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:00
S20	4	S15 and (dummy inoperable) with transistor and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/03 10:29
S21	3	S15 and (dummy inoperable) with transistor not (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:01
S23	7	S20 or S21	US-PGPUB; USPAT; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:01
S24	3	("5689126" "5946563" "6153476"). PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2006/10/02 12:42

EAST Search History

S25	0	S24 and (dummy inoperable) with capacitor and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:44
S26	1	S24 and capacitor and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:43
S27	1	S24 and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:43
S28	1	S24 and (dummy inoperable) with capacitor	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 12:44
S29	1	S24 and (dummy inoperable) with transistor and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 17:39
S30	2	S28 or S29	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 13:06
S31	1	S24 and (dummy inoperable) with transistor and gate same (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 13:03

EAST Search History

S32	1	S24 and ((dummy inoperable) with (gate electrode capacitor transistor)) and ((gate electrode capacitor transistor) same (ferroelectric or dielectric))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 13:07
S33	1	S24 and ((dummy inoperable) with (gate electrode capacitor transistor)) and ((ferroelectric or dielectric))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 13:04
S34	3	S24 and ((dummy inoperable) with (gate electrode capacitor transistor))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 13:15
S35	1	S24 and insulating adj film	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2006/10/02 13:15
S36	1	(US-5430671-\$).did.	USPAT	OR	OFF	2006/10/02 17:38
S37	1	S36 and (dummy inoperable) with (electrode capacitor transistor) and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 17:49
S40	55	"4873664" and (dummy inoperable) with (electrode capacitor transistor) and (ferroelectric or dielectric)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2006/10/02 17:49

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 57-180182

(43) Date of publication of application : 06.11.1982

(51) Int.CI.

H01L 29/78
G11C 11/40
H01L 27/10

(21) Application number : 56-065503

(71) Applicant : FUJITSU LTD

(22) Date of filing : 30.04.1981

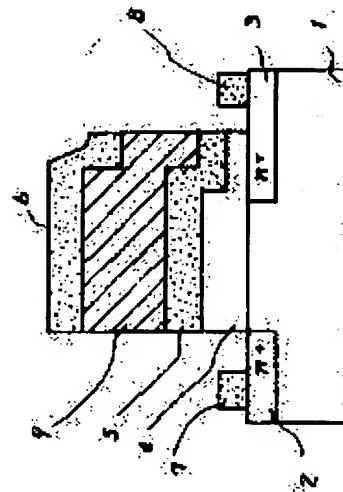
(72) Inventor : TSUCHIYA SHINPEI

(54) SEMICONDUCTOR INVOLATILE MEMORY DEVICE

(57) Abstract:

PURPOSE: To enable a single pole power source both to write and erase and the channel mobility to remain high by a method wherein a controlling gate is provided on a ferroelectric insulator film placed on a floating gate and the gate oxide film is thinner over the drain layer than over other parts.

CONSTITUTION: The SiO₂ film 4 on a p type Si substrate 1 is approximately 300Å thick over an n⁺ type drain 3 and approximately 700Å thick over the channel. A polycrystalline Si floating gate 5 is covered with an approximately 1μm thick BaTiO₃ film 9 which in turn is covered with a polycrystalline Si controlling electrode 6. Voltage at the drain 3 is approximately 15V and the gate 6 is grounded at the time of write. The capacity with which the gate 5 is coupled with the drain 3 being larger than that with the channel, the gate 5 potential approaches that of the drain 3, and the film 9 is applied with approximately 10V causing an inversion throwing the channel into an off state. A 15V potential is applied to the electrode 6 for erasure, which causes the gate 5 potential to approach that of the drain 3. The film 9 is supplied with approximately 10V applied inversely, which causes the channel to be inverted into an on state. Thus, write and erase are performed by using only positive voltages and device integration is effected with ease.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-180182

⑫ Int. Cl.³
H 01 L 29/78
G 11 C 11/40
H 01 L 27/10

識別記号

101

府内整理番号
7514-5F
6549-5B
6749-5F

⑬ 公開 昭和57年(1982)11月6日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体不揮発性記憶装置

⑮ 特願 昭56-65503
⑯ 出願 昭56(1981)4月30日
⑰ 発明者 土屋真平

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体不揮発性記憶装置

2. 特許請求の範囲

1. 一導電型の半導体基板と、該基板に互いに離隔して設けられた前記基板と逆導電型のソース及びドレン領域と、該基板上の第一層絶縁膜と、該絶縁膜上のフローティングゲートと、該フローティングゲート上の第二層絶縁膜と、該第二層絶縁膜上のコントロールゲートとを具備しており、該第二層絶縁膜が強誘電体で構成されており、この強誘電体の分極の反転により書き込み、消去を行なうことを特徴とする半導体不揮発性記憶装置。

2. 第一層絶縁膜がドレン領域上で他部より薄くなっていることを特徴とする特許請求の範囲第1項記載の半導体不揮発性記憶装置。

3. 発明の詳細な説明

本発明は強誘電体層を利用した半導体装置、特に電気的に書き換え可能な半導体不揮発性記憶装置

にに関する。

従来、半導体不揮発性記憶装置としては、大別してMNOS構造の様に界面のトランジスタにトンネル電流により電荷を出し入れするものと、FAMOS構造の様にフローティングゲートにホットキャリアを注入するものとの二種類があった。MNOS型のものでは20~30Å程度のトンネル膜を用い、製造が困難であり又記憶保持特性が不充分である。一方、FAMOS構造のものでは、記憶保持特性は優れているがフローティングゲートへの電荷注入効率が小さい為に書き込み消去の際に多大の電流を必要とする。二つの構造の欠点を克服する為に、第1図に示すような強誘電体を使った半導体不揮発性記憶装置が特公昭55-36194号に提案されている。

以下、簡単にこの装置を説明すると、絶縁ゲート電界効果トランジスタの構造であり、1はN型シリコン基板、2、3はP型のソース、ドレン領域、9は1μm程度の厚さの強誘電体膜で、例えばCVD法により被覆されたチタン酸バリウム

基板表面のチャネルモビリティーを高く保つことが困難である。

それ故、本発明は強誘電体を使った半導体不揮発性記憶装置において、書き込み／消去を単極性の電源で行なわしめ、かつチャネルモビリティーを通常のMOSプロセスによる素子と同程度に保つことが可能な新規な構造を提案するものである。以下本発明実施例につき説明する。第2図は本発明による第一の実施例の構造断面図である。1はP型シリコン基板、2、3はn型のソース、ドレン領域、9は1μm程度の厚さの強誘電体膜で、例えばCVD法により被覆されたチタン酸パリウムから成る。6はポリシリコン等から成るゲート電極、7はソース電極、8はドレン電極、5はポリシリコン等から成るフローティングゲート、4はシリコン酸化膜であり、チャネル部上の膜厚は約700Å、ドレン上では約300Åの膜厚を持っている。

次に本実施例の不揮発性記憶装置の動作につき説明する。書き込みの際にはドレン3に15V程

度である。6はAl等のゲート金属、7は基板1と短絡するよう形成されたソース電極、8はドレン電極である。この構造での書き込み消去は次の様に行なわれる。ゲート電極6に、ソース領域2に対して負電圧を印加し、増大して行くと強誘電体膜9においてドレインの回転が生じ分極が起こる。強誘電体のヒステリシス特性の為ゲート電圧を取り去っても残留分極が存在し、これが半導体基板表面を反転しソース、ドレン間の導通が保たれる。この状態を消去する為には、ゲート電極6にソース2に対して正の電圧を加える。この電圧を増加して行くと再度ドレインが反転し、ソース、ドレンの導通が断たれる。この様な強誘電体を使った半導体不揮発性記憶装置では書き込み、消去に必要な電流はゲート容量の充電電流のみであり、低電流化が計られた。しかしこの構造では、ゲート電極6に正、負の電圧を必要とする為、集積化に伴い周辺回路や電源系が極めて複雑化し実用的ではない。又ゲート絶縁膜が通常のシリコンプロセスで使用するシリコン酸化膜ではない為、

度の電圧を印加し、ゲート6は接地電位にしておく。フローティングゲート5はドレン3との間の容量結合をチャネル部よりも大きくしている為、ドレン3の電位に近づき、約10V程度になる。この為強誘電体9には10V程度の電圧が印加されドメインの反転が起き、チャネルはオフとなる。一方消去の際にはドレン3を接地電位に保ち、ゲート6に15V程度の電圧を印加する。書き込みと同様、フローティングゲート5の電位はドレン電位に近づきほぼ5V程度となる。この為強誘電体9にはほほ10Vの、書き込みの際と逆向きの電圧が印加されドメインが反転しチャネルはオンとなる。この様に、正電圧のみで書き込み消去が可能になり、容易に集積化をはかることが出来る。又、チャネル上の絶縁膜はシリコン酸化膜である為チャネルモビリティーの低下は起らず、高速の読み出しが可能である。第3図は本発明による他の実施例の構造断面図である。各部の名称及び動作は第2図の構造と同じであり、フローティングゲート5とドレン3との間の重なり部の対向面積を

増すことによって、ドレン5との間の容量結合を増している。

上述した様に本発明の半導体不揮発性記憶装置では単極性の電源によって書き込み／消去が出来るが、更に1 Transistor / Cell 方式での集積化も可能になる。この際問題になるのは消去時（ゲート電圧が‘High’状態）に非選択セルの V_{th} が変化する可能性であるが、これは非選択セルのドレンに $\frac{1}{2} \times V_g$ (ゲート電圧) 程度の電圧を印加することによって防げる。このドレンに印加された $\frac{1}{2} V_g$ 程度の電圧では書き込みが生じないようにすることができます。

4. 図面の簡単な説明

第1図は従来構造の強誘電体を利用した半導体不揮発性記憶装置の構造断面図。

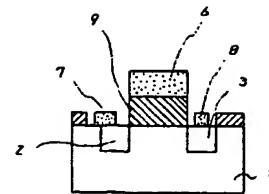
第2図は本発明による第一の実施例の、強誘電体を利用した半導体不揮発性記憶装置の構造断面図。

第3図は本発明による第二の実施例の、強誘電体を利用した半導体不揮発性記憶装置の構造断面

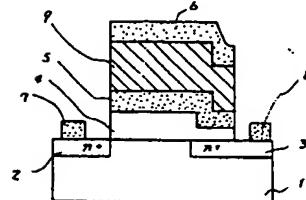
回。

2, 3 ……ソース, ドレイン領域、4 ……シリコン酸化膜、5 ……フローティングゲート、6 ……コントロールゲート、9 ……強誘電体膜。

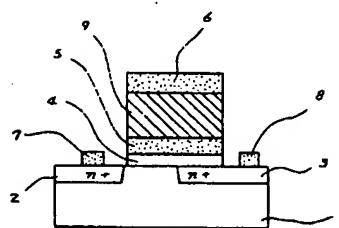
代理人弁理士 松岡宏四郎



第1図



第2図



第3図